

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of  
Inventor(s): Naotoshi NISHIOKA

Appln. No.:	Not	Assigned
Series Code	↑	↑ Serial No.

Group Art Unit: Not Assigned

Filed: January 22, 2004

Examiner: Not Assigned

Title: BACKGROUND OF THE INVENTION

Atty. Dkt. P	0307858	H8013US
M#		Client R f

Date: January 22, 2004

**SUBMISSION OF PRIORITY  
DOCUMENT IN ACCORDANCE  
WITH THE REQUIREMENTS OF RULE 55**

Hon. Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

<u>Application No.</u>	<u>Country of Origin</u>	<u>Filed</u>
2003-017681	Japan	January 27, 2003

Respectfully submitted,

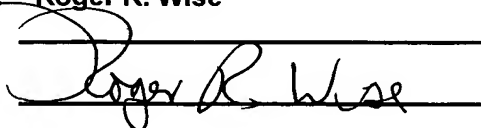
Pillsbury Winthrop LLP  
Intellectual Property Group

725 South Figueroa Street, Suite  
2800  
Los Angeles, CA 90017-5406  
Tel: (213) 488-7100

By Atty: Roger R. Wise

Reg. No. 31204

Sig:



Fax: (213) 629-1033  
Tel: (213) 488-7584

Atty/Sec: RRW/JES

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 2 7 日  
Date of Application:

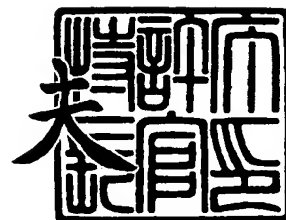
出 願 番 号            特 願 2 0 0 3 - 0 1 7 6 8 1  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 1 7 6 8 1 ]

出 願 人            ヤマハ株式会社  
Applicant(s):

2 0 0 3 年   9 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 J98057A1

【提出日】 平成15年 1月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 29/10

【発明の名称】 データ転送制御装置および方法

【請求項の数】 5

【発明者】

【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号 ヤマハ株式会社内

【氏名】 西岡 直俊

【特許出願人】

【識別番号】 000004075

【氏名又は名称】 ヤマハ株式会社

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001626

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送制御装置および方法

【特許請求の範囲】

【請求項 1】 任意の記憶容量を有する第 1 のメモリと、周辺モジュールに内蔵されたデータ転送用のバッファメモリとして機能する所定の記憶容量を有する第 2 のメモリとの間のデータ転送を制御するためのデータ転送制御装置において、

前記データ転送の回数を示す値であって前記第 2 のメモリの記憶容量に応じた値が設定される第 1 のレジスタと、

前記データ転送の回数を示す値であって前記第 1 のメモリに記憶されたデータ量に応じた値が設定される第 2 のレジスタと、

前記第 1 のレジスタの値に基づき、前記第 2 のメモリの書き込み動作を制御しながら所定ビット幅のデータの転送を制御すると共に、前記第 2 のレジスタの値に基づき、前記第 1 のメモリに記憶されたデータを管理する中央演算処理装置に対し割り込み信号を出力する制御部と、

を備えたデータ転送制御装置。

【請求項 2】 前記制御部が、前記データ転送の回数と前記第 2 のレジスタに設定された値とが一致した場合に前記割り込み信号を出力することを特徴とする請求項 1 に記載されたデータ転送制御装置。

【請求項 3】 前記第 2 のレジスタのサイズが、前記第 1 のメモリの記憶容量に応じて設定されたことを特徴とする請求項 1 または 2 に記載されたデータ転送制御装置。

【請求項 4】 前記第 1 のメモリと前記第 2 のメモリとの間のデータ転送が DMA 転送であることを特徴とする請求項 1 ないし 3 の何れかに記載されたデータ転送制御装置。

【請求項 5】 任意の記憶容量を有する第 1 のメモリと、周辺モジュールに内蔵されたデータ転送用のバッファメモリとして機能する所定の記憶容量を有する第 2 のメモリとの間のデータ転送を制御するためのデータ転送制御方法において、

前記データ転送の回数を示す値であって前記第2のメモリの記憶容量に応じた値を第1のレジスタに設定するステップと、

前記データ転送の回数を示す値であって前記第1のメモリに記憶されたデータ量に応じた値を第2のレジスタに設定するステップと、

前記第1のレジスタの値に基づき、前記第2のメモリの書き込み動作を制御しながら前記所定ビット幅のデータの転送を制御すると共に、前記第2のレジスタの値に基づき、前記第1のメモリに記憶されたデータを管理する中央演算処理装置に対し割り込み信号を出力するステップと、

を含むデータ転送制御方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、DMAコントローラなどのデータ転送制御装置に関し、特に中央演算処理装置に対する割り込み処理を軽減させるための技術に関する。

##### 【0002】

#### 【従来の技術】

一般に、メモリを搭載するシステムでは、中央演算処理装置（CPU；Central Processing Unit）の負荷を軽減するため、DMA（Direct Memory Access）コントローラを備え、CPU通信デバイスやストレージデバイスなどの機能をサポートするための周辺モジュール自身がDMAリクエストをDMAコントローラに出力し、転送元のアドレスと転送先のアドレスとの間でDMA方式によるデータ転送を行っている（特許文献1参照）。このようなシステムでは、大容量の主メモリから周辺モジュールへのデータ転送の効率化を図るために、周辺モジュールがデータ転送用のバッファメモリとして小容量のファーストイン・ファーストアウト（FIFO）を備えている場合が多く、この場合、主メモリに記憶された大規模なデータを周辺モジュール内のバッファメモリに受け渡す際、バッファメモリの容量に合わせて、データを複数回に分けてデータ転送している。

##### 【0003】

以下、図5に示すフローに沿って、上述の周辺モジュールに内蔵されたバッフ

ァメモリにシステムのメモリ内のデータを転送する場合の手順を説明する。予め、システムの使用者は、中央演算処理装置が実行すべきプログラム内にDMA転送リクエストに関する命令を予め組み込んでおく。中央演算処理装置は、プログラムを実行する過程でユーザによるDMA転送リクエストを検出する（ステップS 2 1）。DMAリクエストを検出すると、中央演算処理装置は転送先となる周辺モジュール内のバッファメモリの記憶容量に基づき、1回のDMAリクエストに対する転送回数を、DMAコントローラに内蔵された転送回数レジスタに設定する（ステップS 2 2）。また、中央演算処理装置は、転送すべき全データ量に基づく転送回数を記憶する。さらに、データ転送を行う際のアドレスの指定方法を表す値をDMAコントロールレジスタに設定する（ステップS 2 3）。

#### 【0 0 0 4】

次に、DMA転送が終了したか否かを判断し（ステップS 2 4）、DMA転送が終了していない場合には（ステップS 2 4；NO）、周辺モジュールからのDMAリクエストが有るか否かの判断を行う（ステップS 2 5）。なお、ステップS 2 5～S 2 7は、DMAコントローラ側で行われるステップである。ここで、DMAリクエストがある場合（ステップS 2 5；YES）、DMA転送を開始し（ステップS 2 6）、1回目のDMA転送が終了すると、割り込み信号を中央演算処理装置に出力する（ステップS 2 7）。この割り込みを受けた中央演算装置では、割り込みを受ける都度、プログラムに従って所定の割り込み処理を実行する。なお、ステップS 2 4も割り込み処理の中の一つである。その後、処理を上述のステップS 2 4に戻し、主メモリ内の転送対象の全データに対するDMA転送が終了するまで同様の処理を繰り返し実行する。

#### 【0 0 0 5】

##### 【特許文献1】

特開平5－2 7 6 2 2 1号公報

#### 【0 0 0 6】

##### 【発明が解決しようとする課題】

しかし、上述の従来のデータ転送方式によれば、DMA転送の過程で、中央演算処理装置に対する割り込みが頻繁に発生し、この割り込みを受ける中央演算処

理装置側のオーバヘッドが過大になるという問題がある。即ち、通常、ファーストイン・ファーストアウト等が用いられるデータ転送用のバッファメモリの記憶容量は数十バイトと小さいため、DMAコントローラがDMAリクエストを受けてから中央演算処理装置に割り込みを発生するまでのDMA転送によるデータ転送量は数十バイトに留まる。一般に、OSを搭載したマイコンの場合、1回の割り込みで数マイクロ秒のオーバヘッドが発生することが知られているが、1回のDMA転送によるデータ転送量が転送先のバッファメモリの記憶容量以下に制約されるため、バッファメモリの記憶容量が小さい程、中央演算処理装置に対する割り込みが頻繁に発生することになる。

#### 【0007】

この発明は、上記事情に鑑みてなされたもので、周辺モジュールに内蔵されたバッファメモリにデータ転送する際に、このバッファメモリの記憶容量に制約されることなく、中央演算処理装置に対する割り込みの発生回数を低減させることを可能とするデータ転送制御装置を提供することを目的とする。

#### 【0008】

##### 【課題を解決するための手段】

上記課題を解決するため、この発明は以下の構成を有する。即ち、この発明に係るデータ転送制御装置は、任意の記憶容量を有する第1のメモリと、周辺モジュールに内蔵されたデータ転送用のバッファメモリとして機能する所定の記憶容量を有する第2のメモリとの間のデータ転送を制御するためのデータ転送制御装置において、前記データ転送の回数を示す値であって前記第2のメモリの記憶容量に応じた値が設定される第1のレジスタと、前記データ転送の回数を示す値であって前記第1のメモリに記憶されたデータ量に応じた値が設定される第2のレジスタと、前記第1のレジスタの値に基づき、前記第2のメモリの書き込み動作を制御しながら所定ビット幅のデータの転送を制御すると共に、前記第2のレジスタの値に基づき、前記第1のメモリに記憶されたデータを管理する中央演算処理装置に対し割り込み信号を出力する制御部と、を備える。上記データ転送制御装置において、例えば、前記制御部が、前記データ転送の回数と前記第2のレジスタに設定された値とが一致した場合に前記割り込み信号を出力することを特徴



とし、また、例えば、前記第2のレジスタのサイズが、前記第1のメモリの記憶容量に応じて設定されたことを特徴とし、さらに、前記第1のメモリと前記第2のメモリとの間のデータ転送がDMA転送であることを特徴とする。

#### 【0009】

この発明に係るデータ転送制御方法は、任意の記憶容量を有する第1のメモリと、周辺モジュールに内蔵されたデータ転送用のバッファメモリとして機能する所定の記憶容量を有する第2のメモリとの間のデータ転送を制御するためのデータ転送制御方法において、前記データ転送の回数を示す値であって前記第2のメモリの記憶容量に応じた値を第1のレジスタに設定するステップと、前記データ転送の回数を示す値であって前記第1のメモリに記憶されたデータ量に応じた値を第2のレジスタに設定するステップと、前記第1のレジスタの値に基づき、前記第2のメモリの書き込み動作を制御しながら前記所定ビット幅のデータの転送を制御すると共に、前記第2のレジスタの値に基づき、前記第1のメモリに記憶されたデータを管理する中央演算処理装置に対し割り込み信号を出力するステップと、を含む。

#### 【0010】

##### 【発明の実施の形態】

以下、図面を参照して、この発明の一実施形態を説明する。

図1に、この実施形態に係るデータ転送制御装置が適用されたシステムの構成を示す。このシステムは、例えば電子楽器のように、複数チャネルのデータを処理するためのもので、同図において、100は中央演算処理装置（CPU）、200はバスアービタ機能を有するバスデコーダ、300は本発明のデータ転送制御装置に係るDMAコントローラ、400は外部のCPU通信デバイスやストレージデバイスなどの機能をサポートするための周辺モジュール、410はデータ転送用のバッファとして機能するファーストイン・ファーストアウト（FIFO）、500は任意の容量を有する主メモリである。ここで、ファーストイン・ファーストアウト410は、周辺モジュール400に内蔵されたデータ転送用のバッファメモリとして機能するものであり、この実施形態では32バイトの記憶容量を有するものとする。

**【0011】**

図2に、DMAコントローラ300の構成例を示す。このDMAコントローラ300は、同図に示すように、バスインタフェース301、転送サイズレジスタ302、転送回数レジスタ303、304、転送元アドレスレジスタ305、転送先アドレスレジスタ306、DMAコントロールレジスタ307、割り込みステータスレジスタ308、割り込みイネーブルレジスタ309、リードライト制御部310、転送回数制御部311、アドレス制御部312、起動制御部313、割り込み制御部314から構成される。バスインタフェース301には、上述の各レジスタが接続されると共に、中央演算処理装置100から、各レジスタの値を設定するための制御信号として、リードライト制御信号RW、アドレス信号AD、データ信号DAが入力される。

**【0012】**

転送サイズレジスタ302にはリードライト制御部310が接続され、転送回数レジスタ303、304には転送回数制御部311が接続され、転送元アドレスレジスタ305と転送先アドレスレジスタ306とDMAコントロールレジスタ307にはアドレス制御部312が接続され、割り込みステータスレジスタ308および割り込みイネーブルレジスタ309には割り込み制御部314が接続される。また、リードライト制御部310およびアドレス制御部312には起動制御部313が接続され、転送回数制御部311には割り込み制御部314が接続される。ここで、各制御部が入出力する信号、即ちリードライト制御信号SRW、DMAリクエスト信号REQ、DMAアクノリッジ信号ACK、アドレス信号ADDは、DMAコントローラ300の制御対象となる周辺モジュール400やメモリ500等を制御するための信号であり、割り込み信号INTは中央演算処理装置100に割り込みをかけるための信号である。

**【0013】**

以下、図3に示すフローに沿って、図1に示すシステムの動作について、主メモリ500に記憶された1024バイトのデータを周辺モジュール400にDMA転送する場合を例に説明する。

システムの使用者は、中央演算処理装置100が実行すべきプログラムの中に

、主メモリ 500 をデータ転送元とし周辺モジュール 400 内のファーストイン・ファーストアウト 410 をデータ転送先とする DMA 転送リクエストに関する命令を予め組み込んでおく。このプログラムデータは例えば転送対象のデータと共に主メモリ 500 に格納される。中央演算処理装置 100 は、主メモリ 500 からプログラムデータを読み出して実行し、その過程で DMA 転送リクエストを検出する（ステップ S21）。

#### 【0014】

続いて、中央演算処理装置 100 は、DMA 転送リクエストを検出すると、転送回数レジスタや DMA コントロールレジスタ等の各種レジスタの値を設定する（ステップ S12, S13）。具体的には、転送サイズレジスタ 302 に、主メモリ 500 から周辺モジュール 400 に出力されるデータのビット幅を設定する。このビット幅は、このシステムの設計段階で定められたシステム特有の所定のビット幅であり、ここでは、32 ビット（ロングワード）を表す値を設定するものとする。転送回数レジスタ 303 には、主メモリ 500 から出力される所定ビット幅（32 ビット幅）のデータの転送回数を示す値を設定する。この転送回数は、ファーストイン・ファーストアウト 410 の記憶容量に応じて設定されるものであり、ファーストイン・ファーストアウト 410 の記憶容量を満たすのに必要とされる上記所定ビット幅（32 ビット）のデータの転送回数である。この例では、ファーストイン・ファーストアウト 410 の記憶容量を 32 バイト（＝32 ビット×8）としているので、転送回数として 8 回（＝32 バイト／32 ビット）を示す値が転送回数レジスタ 303 に設定される。

#### 【0015】

もう一つの転送回数レジスタ 304 には、同じく上記所定ビット幅（32 ビット幅）のデータの転送回数を示す値であって、主メモリ 500 に記憶された転送対象のデータ量に応じた値を設定する。この例では、主メモリ 500 に記憶された転送対象のデータ量を 1024 バイトとしているので、256 回（＝1024 バイト／32 ビット）を表す値が転送回数レジスタ 304 に設定される。転送元アドレスレジスタ 305 には、データ転送元である主メモリ 500 に記憶された転送対象のデータの先頭アドレスが設定され、転送先アドレスレジスタ 306 に

は、データ転送先であるファーストイン・ファーストアウト 4 1 0 に割り付けられた固定アドレスが設定される。

#### 【 0 0 1 6 】

DMA コントロールレジスタ 3 0 7 には、転送先アドレスの指定方式を示す値が設定される。ここではファーストイン・ファーストアウト 4 1 0 に割り付けられた固定アドレスを指定するものとする。ただし、このアドレスの指定方式を示す値は、周辺モジュール 4 0 0 のアドレス仕様に応じて適切に選択すればよく、例えば転送先が R A M (Random Access Memory) から構成されている場合には、記憶領域を指定するためのアドレスを順次的にインクリメントして指定する方式を表す値を DMA コントロールレジスタ 3 0 7 に設定すればよい。割り込みステータスレジスタ 3 0 8 および割り込みイネーブルレジスタ 3 0 9 は、割り込み信号 I N T の出力を許可するための条件を設定するためのものである。このうち、割り込みステータスレジスタ 3 0 8 には、中央演算処理装置 1 0 0 により指定される値が設定され、割り込みイネーブルレジスタ 3 0 9 には、処理対象のチャンネルを選択するための値が設定される。

#### 【 0 0 1 7 】

続いて、上述の中央演算処理装置 1 0 0 による各種レジスタの設定が終了すると、DMA コントローラ 3 0 0 側で DMA 転送を行うための動作を開始する。即ち、DMA コントローラ内の転送回数制御部 3 1 1 は、DMA 転送の回数が転送回数レジスタ 3 0 4 に設定された値 (2 5 6 回) に達したか否かを判断する (ステップ S 1 4)。この DMA 転送の回数が転送回数レジスタ 3 0 4 に設定された値 (2 5 6 回) に達していない場合 (ステップ S 1 4 ; N O)、起動制御部 3 1 3 が DMA リクエストを受け付けたか否かを判断し (ステップ S 1 5)、DMA リクエストをまだ受け付けていない場合 (ステップ S 1 5 ; N O) にはその状態で待機する。

#### 【 0 0 1 8 】

ここで、起動制御部 3 1 3 が最初の DMA リクエストを受け付けると (ステップ S 1 5 ; Y E S)、アドレス制御部 3 1 2 が、DMA コントロールレジスタ 3 0 7 に設定された値が表すアドレス方式に従ってアドレス信号 A D D を周辺モジ

ジュール 4 0 0 に出力し、転送回数レジスタ 3 0 3 に設定された値（8 回）が表す回数だけ主メモリ 5 0 0 からファーストイン・ファーストアウト 4 1 0 に DMA 転送を行う（ステップ S 1 6）。図 4 を参照して具体的に説明すると、この場合、ステップ S 1 6 では、主メモリ 5 0 0 に記憶された転送対象の 1 0 2 4 バイトのデータのうち、最初の 3 2 バイトのデータ D 1 を 8 回に分けて、3 2 ビット（所定ビット幅のデータ）ずつ周辺モジュール 4 0 0 内の 3 2 ビット構成のデータレジスタ 4 1 1 を介してファーストイン・ファーストアウト 4 0 1 に転送する。これにより、ファーストイン・ファーストアウト 4 1 0 が 3 2 バイトのデータ D 1 で埋まる。このデータ D 1 は、その後、ファーストイン・ファーストアウト 4 1 0 から外部に読み出される。

#### 【0 0 1 9】

上述のステップ S 1 6 の後、処理を上述のステップ S 1 4 に戻し、同様に転送回数制御部 3 1 1 により転送回数レジスタ 3 0 4 に設定された回数（2 5 6 回）の DMA 転送が終了したか否かを判断する。この段階では上述のステップ S 1 6 での DMA による転送回数の累計は 8 回であるから、転送回数は転送回数レジスタ 3 0 4 に設定された値に到達していない。そして、新たな DMA リクエストを受けたか否かが判断され（ステップ S 1 5）、DMA リクエストがあれば、次の 3 2 バイトのデータ D 2 を転送回数レジスタ 3 0 3 に設定された回数（8 回）に分けて同様に DMA 転送する。ファーストイン・ファーストアウト 4 1 0 に転送されたデータ D 2 が外部に読み出される。この段階で、ステップ S 1 6 での DMA 転送回数の累計は 1 6 回となるが、転送回数レジスタ 3 0 4 に設定された値（2 5 6 回）にはまだ到達しない。

#### 【0 0 2 0】

上述のステップ S 1 4 ～ S 1 6 による DMA 転送を繰り返し実行し、後続のデータ D 2 ～ D 3 2 の各データを同様に DMA 転送する。その結果、ステップ S 1 6 での転送回数の累計が転送回数レジスタ 3 0 4 に設定された値（2 5 6 回）に到達すると（ステップ S 1 4；YES）、割り込み制御部 3 1 4 が、割り込みステータスレジスタ 3 0 8 および割り込みイネーブルレジスタ 3 0 9 の値を参照し、これらの値が割り込みを許容するものである場合に中央演算処理装置 1 0 0 に

対し割り込み信号 INT を出力し（ステップ S 17）、一連の DMA 転送動作を終了する。

#### 【0021】

以上、この発明の一実施形態を説明したが、この発明は、この実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。例えば、上述の実施の形態では、ステップ S 16 において、8 回に分けてデータを DMA 転送するものとしたが、転送すべきデータ量によっては、例えば最後のデータ D 32 のデータ量が 8 回を要しない場合もある。この場合には、転送すべきデータがなくなった時点で転送を取りやめて、次のステップ S 14 に処理を戻せばよい。また、ステップ S 14 では転送回数が 256 回に到達したか否かを判断するものとしたが、この転送回数の値は転送すべきデータ量に応じて適切に設定すればよい。さらに、ステップ S 16 では各データを 8 回に分けて DMA 転送するものとしたが、この転送回数の値は、ファーストイン・ファーストアウト 410 の記憶容量に応じて適切に設定すればよい。

#### 【0022】

##### 【発明の効果】

以上説明したように、この発明によれば、転送先のメモリの記憶容量に応じた値を第 1 のレジスタに設定し、転送元のメモリに記憶されたデータ量に応じた値を第 2 のレジスタに設定し、第 1 のレジスタの値に基づき転送先のメモリの書き込み動作を制御しながらデータ転送を制御すると共に、第 2 のレジスタの値に基づき中央演算処理装置に対し割り込み信号を出力するようにしたので、周辺モジュールに内蔵されたバッファメモリにデータ転送する際に、このバッファメモリの記憶容量に制約されることなく、中央演算処理装置に対する割り込みの発生回数を低減させることが可能となる。

##### 【図面の簡単な説明】

【図 1】 この発明の実施形態に係るデータ転送制御装置が適用されたシステムの構成を示すブロック図である。

【図 2】 この発明の実施形態に係るデータ転送制御装置である DMA コントローラの構成を示すブロック図である。

【図 3】 この発明の実施形態に係るシステムの動作の流れを示すフローチャートである。

【図 4】 この発明の実施形態に係るシステムの DMA 転送によるデータ転送を説明するための図である。

【図 5】 従来技術に係るデータ転送の流れを説明するためのフローチャートである。

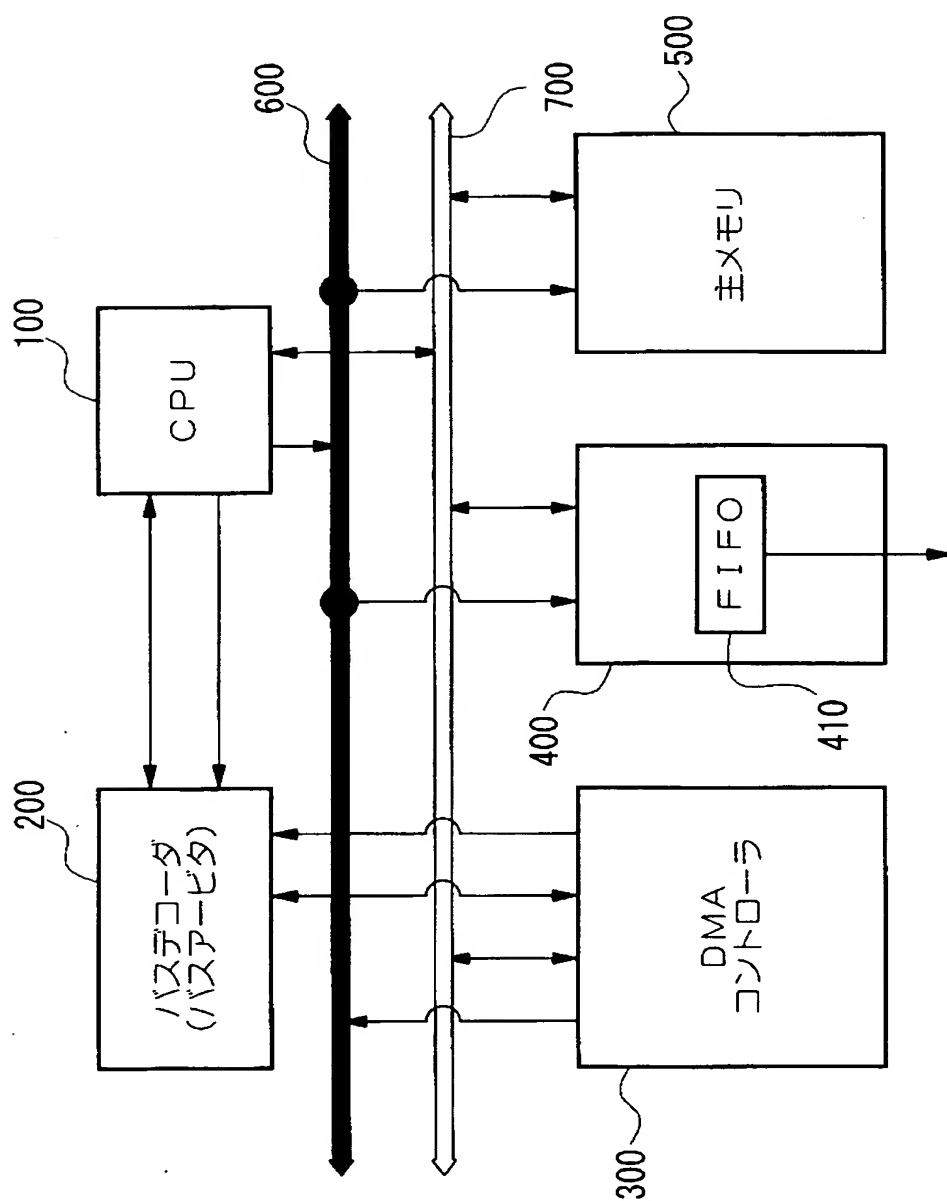
【符号の説明】

100；中央演算処理装置、200；バスデコーダ、300；DMAコントローラ、301；バスインタフェース、302；転送サイズレジスタ、303；転送回数レジスタ、304；転送回数レジスタ、305；転送元アドレスレジスタ、306；転送先アドレスレジスタ、307；DMAコントローラ、308；割り込みステータスレジスタ、309；割り込みイネーブルレジスタ、310；リードライト制御部、311；転送回数制御部、312；アドレス制御部、313；起動制御部、314；割り込み制御部、400；周辺モジュール、410；ファーストイン・ファーストアウト、500；主メモリ。

【書類名】

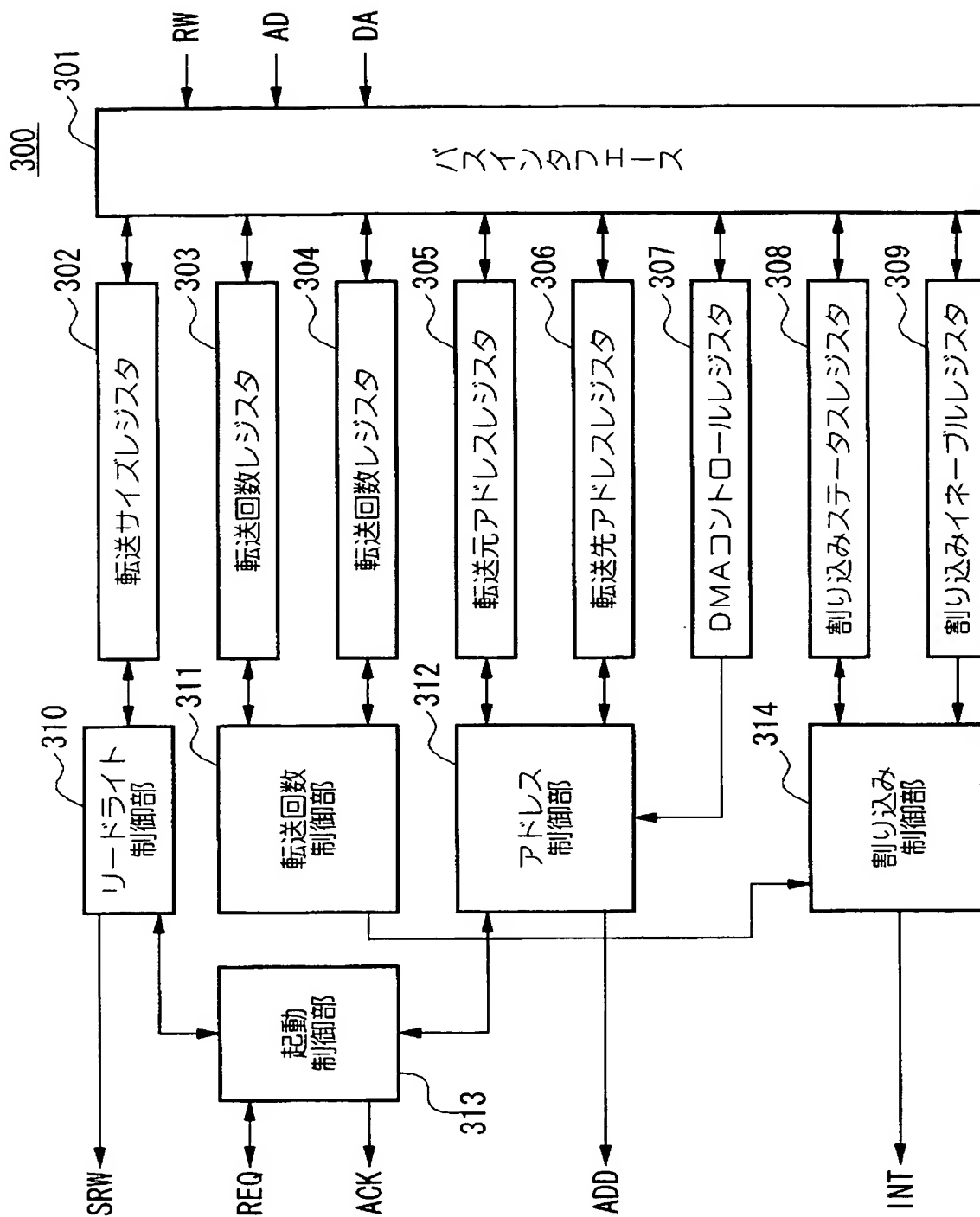
図面

【図 1】

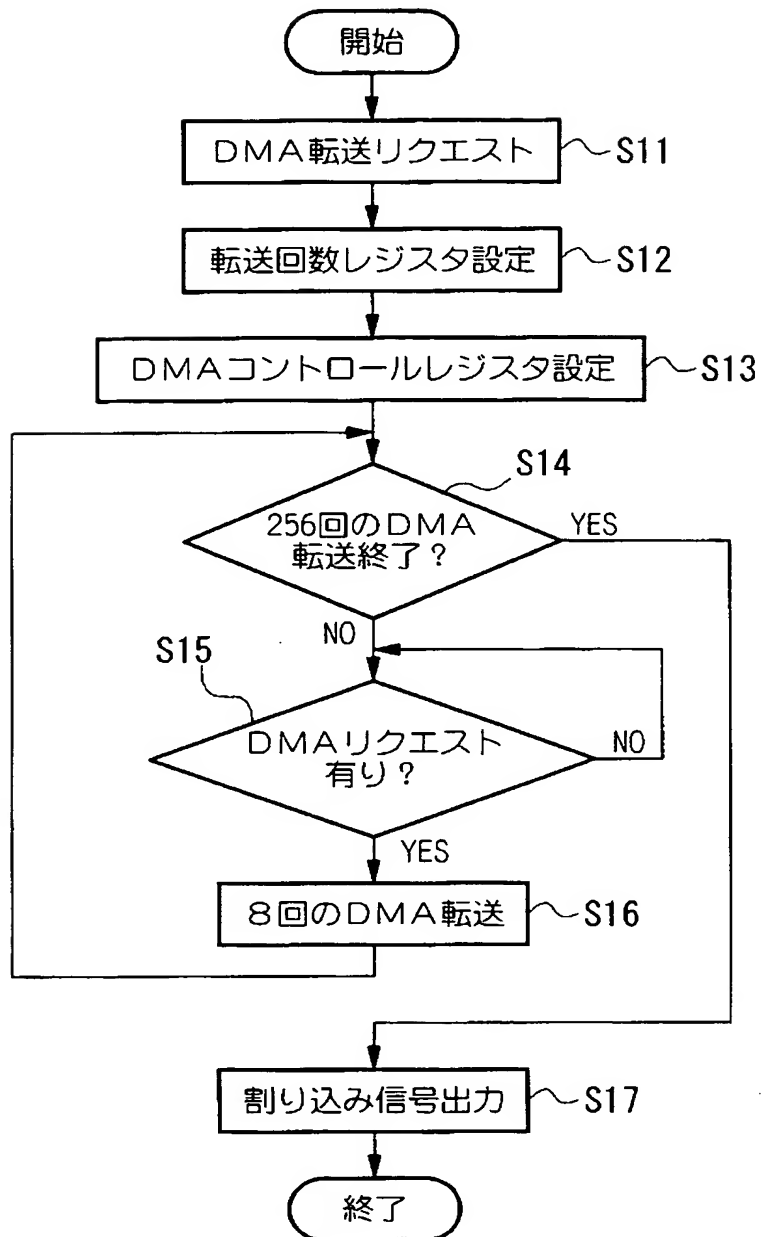




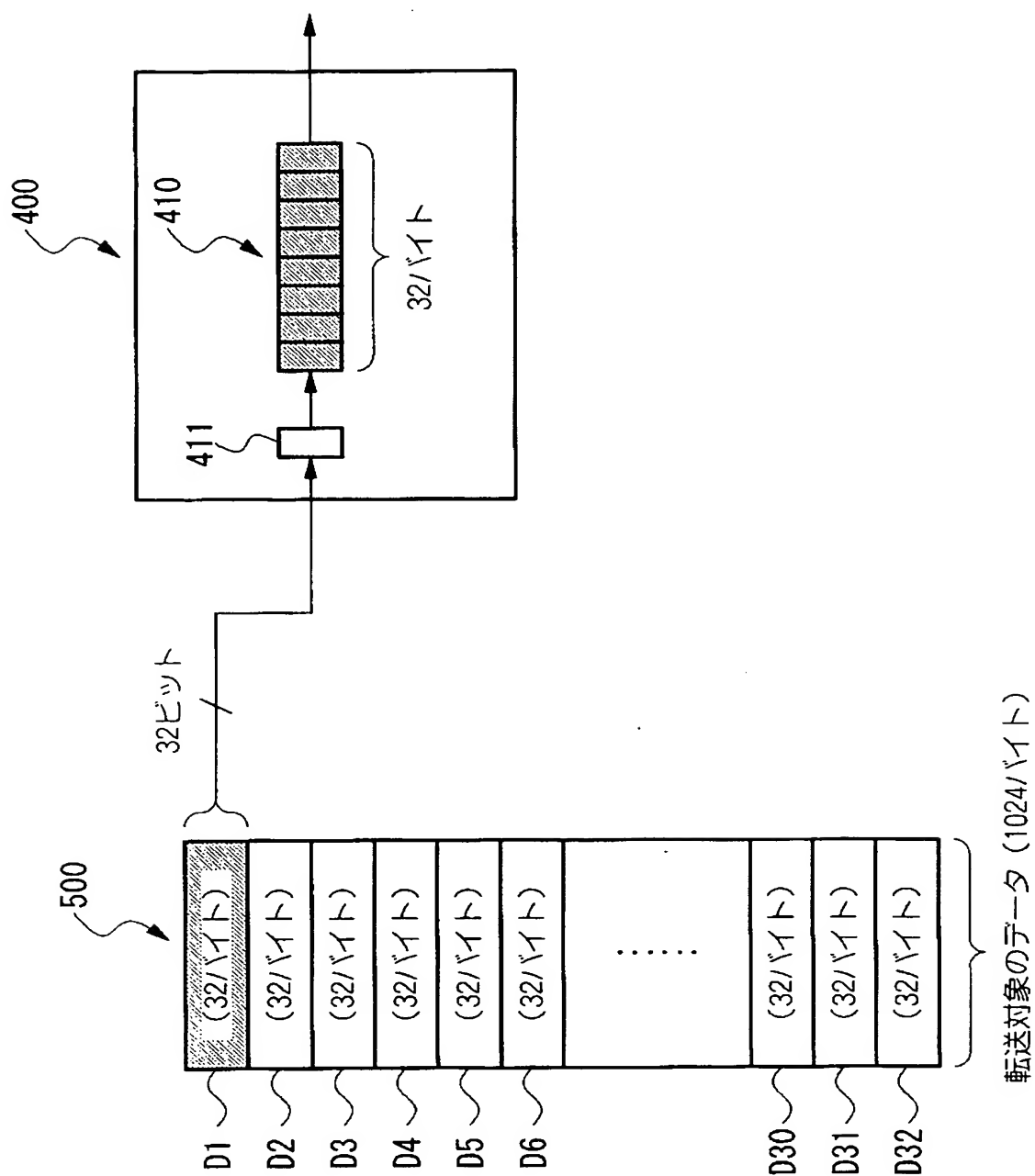
【図 2】



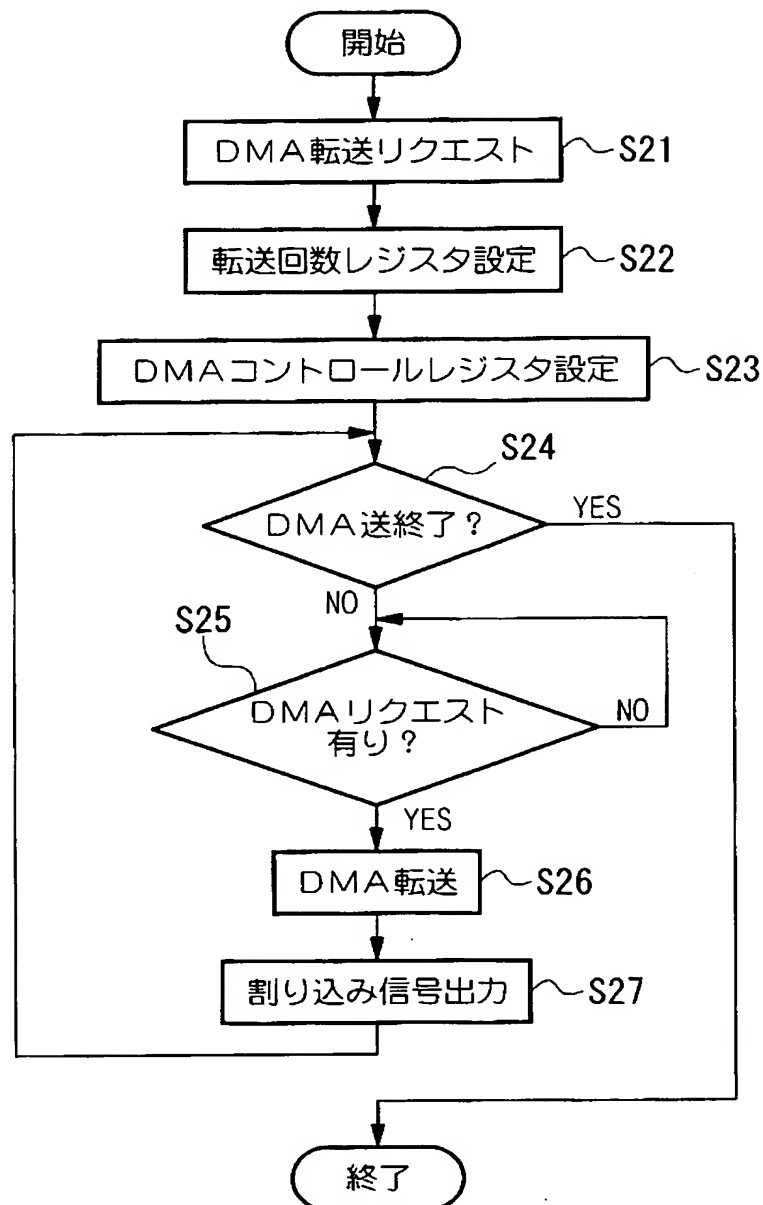
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 転送先の周辺モジュールに内蔵されたバッファメモリの記憶容量に制約されることなく、中央演算処理装置に対する割り込みの発生回数を低減させることを可能とするデータ転送制御装置を提供すること。

【解決手段】 任意の記憶容量を有する主メモリと、周辺モジュールに内蔵されたデータ転送用のバッファとして機能するファーストイン・ファーストアウトとの間のデータ転送を制御するためのデータ転送制御装置において、データの転送回数を示す値であって前記ファーストイン・ファーストアウトの記憶容量に応じた値が設定される転送回数レジスタ 3 0 3 と、前記主メモリに記憶されたデータ量に応じた値が設定され転送回数レジスタ 3 0 4 とを備え、転送回数レジスタ 3 0 3 の値に基づきデータの転送を制御すると共に、転送回数レジスタ 3 0 4 の値に基づき中央演算処理装置に対し割り込み信号を出力する。

【選択図】 図 2

特願 2 0 0 3 - 0 1 7 6 8 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 0 7 5 ]

1. 変更年月日  
[変更理由]

住 所  
氏 名

1 9 9 0 年 8 月 2 2 日

新規登録

静岡県浜松市中沢町 1 0 番 1 号

ヤマハ株式会社